

* NOTICES *

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The process which forms an oxide film (12) in the front face of the single crystal silicon substrate (11) of p mold, The process which pours in a hydrogen ion from the front face of said single crystal silicon substrate (11), and forms a hydrogen ion impregnation field (11a) in the interior of said single crystal silicon substrate (11), The process which forms the polish recon layer (14) of p mold in one side of the polycrystal silicon substrate (13) of p mold used as a support substrate, The process which carries out mirror polishing of said p type of polish recon layer (14), and the process which piles up and sticks said polycrystal silicon substrate (13) to said single crystal silicon substrate (11) so that said p type which carried out mirror polishing of polish recon layer (14) may stick to said oxide film (12), Said single crystal silicon substrate (11) has been stuck to the polycrystal silicon substrate (13). The process which heat-treats at predetermined temperature, separates said single crystal silicon substrate (11) from said polycrystal silicon substrate (13) in said hydrogen ion impregnation field (11a), and forms a silicon layer (11b) in the front face of said polycrystal silicon substrate (13), The manufacture approach of a SOI substrate including the process which heat-treats further said polycrystal silicon substrate (13) which has a silicon layer (11b) on a front face.

[Claim 2] The process which forms an oxide film (12) in the front face of the 1st single crystal silicon substrate (11) of p mold, The process which pours in a hydrogen ion from the front face of said 1st single crystal silicon substrate (11), and forms a hydrogen ion impregnation field (11a) in the interior of said 1st single crystal silicon substrate (11), The process which piles up and sticks the 2nd single crystal silicon substrate (13a) of p+ mold which serves as a support substrate through said oxide film (12), or a p++ mold to said 1st single crystal silicon substrate (11), Said 1st single crystal silicon substrate (11) has been stuck to the 2nd single crystal silicon substrate (13a). The process which heat-treats at predetermined temperature, separates said 1st single crystal silicon substrate (11) from said 2nd single crystal silicon substrate (13a) in said hydrogen ion impregnation field (11a), and forms a silicon layer (11b) in the front face of said 2nd single crystal silicon substrate (13a), The manufacture approach of a SOI substrate including the process which heat-treats further said 2nd single crystal silicon substrate (13a) which has a silicon layer (11b) on a front face.

[Claim 3] The process which forms an oxide film (12) in the front face of the 1st single crystal silicon substrate (11) of p mold, The process which pours in a hydrogen ion from the front face of said 1st single crystal silicon substrate (11), and forms a hydrogen ion impregnation field (11a) in the interior of said 1st single crystal silicon substrate (11), The process which forms the polish recon layer (14a) of p-mold in one side of the 2nd single crystal silicon substrate (13a) of p+ mold used as a support substrate, or a p++ mold, The process which carries out mirror polishing of said p-type of polish recon layer (14a), The process which piles up and sticks said 2nd single crystal silicon substrate (13a) to said 1st single crystal silicon substrate (11) so that said p-type which carried out mirror polishing of polish recon layer (14a) may stick to said oxide film (12), Said 1st single crystal silicon substrate (11) has been stuck to the 2nd single crystal silicon substrate (13a). The process which heat-treats at predetermined temperature, separates said 1st single crystal silicon substrate (11) from said 2nd single crystal silicon substrate (13a) in said hydrogen ion impregnation field (11a), and forms a silicon layer (11b) in the front face of said 2nd single crystal silicon substrate (13a), The manufacture approach of a SOI substrate including the process which heat-treats further said 2nd single crystal silicon substrate (13a) which has a silicon layer (11b) on a front face.

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the manufacture approach of a SOI (Silicon On Insulator) substrate of having prepared the semi-conductor layer on the insulator layer produced using a hydrogen ion impregnation technique.

[0002]

[Description of the Prior Art] This kind of SOI substrate has attracted attention as a future ultra-large scale integrated circuit (ULSI) substrate. SIMOX which carries out annealing treatment at an elevated temperature, forms a pad silicon oxidizing zone in the field of the predetermined depth from this silicon substrate surface, and makes an active region the Si layer by the side of that front face after pouring high-concentration oxygen ion into the interior of the approach of making a silicon thin film depositing on the substrate which has the approach, ** insulation substrate, or the insulating thin film which sticks ** silicon substrates on the manufacture approach of this SOI substrate through an insulator layer on a front face, and ** silicon substrate -- there is law etc. Moreover, a temperature up is carried out to the temperature which crosses an ion-implantation side for this semi-conductor substrate, and crosses 500 degrees C for superposition and this layered product to a support substrate as a superposition side after injecting a hydrogen ion etc. into a semi-conductor substrate recently, the above-mentioned semi-conductor substrate is separated from a support substrate in the field which poured in the above-mentioned hydrogen ion etc., and the manufacture approach of a thin semiconductor material film of having the thin film of a semi-conductor on the front face of a support substrate is proposed (JP,5-211128,A). By this approach, if ion can be poured into homogeneity from a front face inside a semi-conductor substrate, the semi-conductor substrate which has a semi-conductor layer with uniform thin thickness will be obtained. Moreover, if the oxide film is beforehand prepared in the front face of a support substrate, the SOI substrate which has the semi-conductor layer formed on the oxide film which is formed on a support substrate and this substrate by this approach, and acts as a pad oxide film, and this oxide film can be manufactured.

[0003]

[Problem(s) to be Solved by the Invention] however, when the above-mentioned semi-conductor layer formed on the above-mentioned oxide film is polluted with a heavy-metal impurity in a device process After a pad oxide film serves as a gettering layer which has gettering capacity and catches a heavy-metal impurity There is a problem which emits the heavy-metal impurity which the oxidizing zone crystallized with advance of heat treatment once caught into the above-mentioned semi-conductor layer, and is easy to produce redistribution, and originates in this and quality degradation by contamination of a semi-conductor layer produces. The purpose of this invention has the semi-conductor layer produced using a hydrogen ion impregnation technique in the SOI substrate piled up on a semi-conductor substrate through an oxide film in offering the manufacture approach of a SOI substrate of having big gettering capacity and not making a semi-conductor layer polluting with a heavy-metal impurity.

[0004]

[Means for Solving the Problem] The process at which invention concerning claim 1 forms an oxide film 12 in the front face of the single crystal silicon substrate 11 of p mold as shown in drawing 1, The process which pours in a hydrogen ion from the front face of the single crystal silicon substrate 11, and forms hydrogen ion impregnation field 11a in the single crystal silicon substrate 11 interior, The process which forms the polish recon layer 14 of p mold in one side of the polycrystal silicon substrate 13 of p mold used as a support substrate,

The process which carries out mirror polishing of this p type of polish recon layer 14, and the process which piles up and sticks the polycrystal silicon substrate 13 to the single crystal silicon substrate 11 so that the polish recon layer 14 of p mold which carried out mirror polishing may stick to an oxide film 12, The process which heat-treats at predetermined temperature, sticking the single crystal silicon substrate 11 to the polycrystal silicon substrate 13, separates the single crystal silicon substrate 11 from the polycrystal silicon substrate 13 by hydrogen ion impregnation field 11a, and forms silicon layer 11b in the front face of the polycrystal silicon substrate 13, It is the manufacture approach of a SOI substrate including the process which heat-treats further the polycrystal silicon substrate 13 which has silicon layer 11b on a front face. Since it sticks to the oxide-film 12 bottom at this and the polish recon layer 14 of p mold is formed, as shown in drawing 1, even if silicon layer 11b is polluted with a heavy-metal impurity in a device process, the polycrystal silicon substrate 13 whole acts as a gettering layer with the polish recon layer 14 of p mold. That is, since the heavy-metal impurity in silicon layer 11b passes an oxide film 12 and is caught by the grain boundary of the both sides of the polish recon layer 14 of p mold, and the polycrystal silicon substrate 13 of p mold, even if heat treatment advances, silicon layer 11b is not polluted with a heavy-metal impurity. Moreover, when the big polycrystal silicon substrate and big oxide film of a grain boundary are stuck directly, bonding strength may be small, but in this invention, since the polish recon layer 14 of p mold which carried out flattening by polish is formed between the polycrystal silicon substrate 13 of p mold, and the oxide film 12, the bonding strength of the polycrystal silicon substrate 13 and an oxide film 12 increases. In addition, after the polycrystal silicon substrate 13 of p mold slices the owner rearrangement-ized section of a single-crystal-silicon ingot, it is using what carried out mirror polishing, and can also be produced by low cost.

[0005] The process at which invention concerning claim 2 forms an oxide film 12 in the front face of the 1st single crystal silicon substrate 11 of p mold as shown in drawing 2, The process which pours in a hydrogen ion from the front face of the 1st single crystal silicon substrate 11, and forms hydrogen ion impregnation field 11a in the 1st single crystal silicon substrate 11 interior, The process which piles up and sticks 2nd single crystal silicon substrate 13a of p+ mold which serves as a support substrate through an oxide film 12, or a p++ mold to the 1st single crystal silicon substrate 11, The 1st single crystal silicon substrate 11 has been stuck to 2nd single crystal silicon substrate 13a. The process which heat-treats at predetermined temperature, separates the 1st single crystal silicon substrate 11 from 2nd single crystal silicon substrate 13a by hydrogen ion impregnation field 11a, and forms silicon layer 11b in the front face of 2nd single crystal silicon substrate 13a, It is the manufacture approach of a SOI substrate including the process which heat-treats further 2nd single crystal silicon substrate 13a which has silicon layer 11b on a front face. As shown in drawing 2, it sticks to the oxide-film 12 bottom at this, and 2nd single crystal silicon substrate 13a of p+ mold or a p++ mold is formed.

Compared with the single crystal silicon substrate of p-mold, p+ mold or a p++ mold single crystal silicon substrate tends to form BMD (Bulk MicroDefect) during heat treatment, and its capture capacity over a heavy-metal impurity is [this BMD] high. Moreover, since boron forms heavy-metal impurities, such as iron, and a stable iron-boron pair, p+ mold or the p++ mold single crystal silicon substrate with high boron concentration has the capture capacity [point / this] high [boron] over a heavy-metal impurity. That is, even if silicon layer 11b is polluted with a heavy-metal impurity in a device process, the whole 2nd single crystal silicon substrate 13a of p+ mold used as a support substrate or a p++ mold acts as a gettering layer. That is, the heavy-metal impurity in silicon layer 11b passes an oxide film 12, and is caught by 2nd single crystal silicon substrate 13a of p+ mold or a p++ mold, and even if heat treatment advances, silicon layer 11b is not polluted with a heavy-metal impurity.

[0006] The process at which invention concerning claim 3 forms an oxide film 12 in the front face of the 1st single crystal silicon substrate 11 of p mold as shown in drawing 3, The process which pours in a hydrogen ion from the front face of the 1st single crystal silicon substrate 11, and forms hydrogen ion impregnation field 11a in the 1st single crystal silicon substrate 11 interior, The process which forms polish recon layer 14a of p-mold in one side of 2nd single crystal silicon substrate 13a of p+ mold used as a support substrate, or a p++ mold, The process which carries out mirror polishing of this p-mold polish recon layer 14a, and the process which piles up and sticks 2nd single crystal silicon substrate 13a to the 1st single crystal silicon substrate 11 so that polish recon layer 14a of p-mold which carried out mirror polishing may stick to an oxide film 12, The 1st single crystal silicon substrate 11 has been stuck to 2nd single crystal silicon substrate 13a. The process which heat-treats at predetermined temperature, separates the 1st single crystal silicon substrate 11 from 2nd single crystal silicon substrate 13a by hydrogen ion impregnation field 11a, and forms silicon layer 11b in the front

face of 2nd single crystal silicon substrate 13a, It is the manufacture approach of a SOI substrate including the process which heat-treats further 2nd single crystal silicon substrate 13a which has silicon layer 11b on a front face. Since 2nd single crystal silicon substrate 13a of p+ mold or a p++ mold is formed in the oxide-film 12 bottom through polish recon layer 14a of p-mold as shown in drawing 3 R> 3, Even if silicon layer 11b is polluted with a heavy-metal impurity in a device process, 2nd single crystal silicon substrate 13a of p+ mold or a p++ mold acts as a gettering layer with polish recon layer 14a of p-mold. That is, the heavy-metal impurity in silicon layer 11b is caught by the both sides of 2nd single crystal silicon substrate 13a of polish recon layer 14a of an oxide film 12 and p-mold and p+ mold, or a p++ mold, and even if heat treatment advances, silicon layer 11b is not polluted with a heavy-metal impurity. Moreover, although we are anxious about affecting the breadth of the depletion layer at the time of actuation of the component formed in silicon layer 11b when 2nd single crystal silicon substrate 13a of p+ mold or a p++ mold was directly under an oxide film 12 depending on a device, and making an electrical property produce fault By changing the thickness of polish recon layer 14a of p-mold fabricated between 2nd single crystal silicon substrate 13a of an oxide film 12, p+ mold, or a p++ mold according to a device design The effect of the breadth on the depletion layer at the time of the component actuation formed in silicon layer 11b can be controlled.

[0007]

[Embodiment of the Invention] Next, the gestalt of operation of this invention is explained based on a drawing. As shown in drawing 1, in order to manufacture the SOI substrate of the 1st gestalt of this invention, the single crystal silicon substrate 11 of p mold is prepared first. This p mold single crystal substrate 11 is produced by using boron (B) as a dopant. The oxide film 12 which is an insulating layer is formed in the front face of this p mold single crystal substrate 11 by thermal oxidation (drawing 1 (a)). Preferably, 0.1-2 micrometers of this oxide film 12 are formed so that it may become the thickness of 0.1-0.5 micrometers. Subsequently, the ion implantation of the hydrogen ion is carried out with the dose of one to 10×10^{16} /cm², and the acceleration energy of 50-200keV from the front face of p mold single crystal substrate 11 which has an oxide film 12. Consequently, ion-implantation field 11a is formed in the single crystal substrate 11 interior (drawing 1 (b)). Subsequently, it has the same surface area as the above-mentioned single crystal substrate 11, the polycrystal silicon substrate 13 of p mold used as a support substrate is prepared, and the polish recon layer 14 of p-mold is formed in the front face of this p mold polycrystal substrate 13 with a CVD method (drawing 1 (c)). Preferably, 0.5-3 micrometers of this p mold polish recon layer 14 are formed so that it may become the thickness of 0.5-2 micrometers.

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

TECHNICAL FIELD

[Field of the Invention] This invention relates to the manufacture approach of a SOI (Silicon On Insulator) substrate of having prepared the semi-conductor layer on the insulator layer produced using a hydrogen ion impregnation technique.

[Translation done.]

* NOTICES *

JPO and NCIPPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

EFFECT OF THE INVENTION

[Effect of the Invention] In the SOI substrate which the semi-conductor layer produced using a hydrogen ion impregnation technique piles up on a semi-conductor substrate through an oxide film according to this invention as stated above The polish recon layer of p mold is formed in one side of the polycrystal silicon substrate of p mold used as a semi-conductor substrate. [whether the above-mentioned oxide film is formed on the single crystal silicon substrate of p+ mold which forms the above-mentioned oxide film on this polish recon layer, or serves as a semi-conductor substrate, or a p++ mold, and] Or the polish recon layer of p-mold is formed in one side of the single crystal silicon substrate of p+ mold used as a semi-conductor substrate, or a p++ mold. Since the above-mentioned oxide film was formed on this polish recon layer, even if the above-mentioned semi-conductor layer is polluted with a heavy-metal impurity in a device process The single crystal silicon substrate of the polish recon layer of the above-mentioned p-mold, the above-mentioned p+ mold, or a p++ mold acts as a gettering layer, and catches the heavy-metal impurity in the above-mentioned semi-conductor layer. Consequently, even if heat treatment advances, the above-mentioned silicon layer is not polluted with a heavy-metal impurity, but quality degradation of a SOI substrate can be prevented.

[Translation done.]

* NOTICES *

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

EXAMPLE

[Example] Next, in order to show the concrete mode of this invention, the example of this invention is explained with the example of a comparison.

As shown in <example 1> drawing 1 (a), the oxide film 12 with a thickness of 400nm was formed in the front face of p mold single crystal silicon substrate 11 by thermal oxidation. Subsequently, the electrical potential difference of 70keV(s) was impressed to the single crystal silicon substrate 11, the ion implantation of the hydrogen ion was carried out with the dose of 7×10^{16} /cm², and ion-implantation field 11a was formed in the single crystal substrate 11 interior (drawing 1 (b)). Subsequently, the polycrystal silicon substrate 13 of p mold which has the same surface area as the single crystal substrate 11 was prepared, and the polish recon layer 14 of p mold with a thickness of 500nm was formed in the front face of this p mold polycrystal substrate 13 with the CVD method (drawing 1 (c)). Subsequently, mirror polishing of the p mold polish recon layer 14 was carried out, and it carried out flattening. Subsequently, the single crystal substrate 11 and p mold polycrystal substrate 13a were washed by SC1 penetrant remover, respectively. Subsequently, the polycrystal substrate 13 was piled up and stuck to the single crystal substrate 11 so that the polish recon layer 14 might stick to an oxide film 12 (drawing 1 (d)). Subsequently, heat treatment was performed for 30 minutes at the temperature of 600 degrees C in nitrogen-gas-atmosphere mind, sticking the single crystal substrate 11 to the polycrystal substrate 13. Consequently, it was divided in the place whose single crystal substrate 11 is ion-implantation field 11a, and separated into upside heavy-gage part 11c and semi-conductor layer 11b with the thin lower part (drawing 1 (e)). Next, temperature was lowered, heavy-gage part 11c was removed (drawing 1 (f)), and the polycrystal substrate 13 with which the laminating of the polish recon layer 14, an oxide film 12, and the semi-conductor layer 11b was carried out to the front face one by one was heat-treated at 1100 degrees C in nitrogen-gas-atmosphere mind for 2 hours (drawing 1 (g)). Finally the separation side of semi-conductor layer 11b was ground and graduated, and the SOI substrate of an example 1 was manufactured (drawing 1 (h)).

[0011] As shown in <example 2> drawing 2 (a) - drawing 2 (b), the same process as an example 1 was repeated and ion-implantation field 11a was formed in the interior of the 1st single crystal silicon substrate 11 of p mold which has the oxide film 12 with a thickness of 400nm on a front face. Subsequently, 2nd single crystal silicon substrate 13a of p+ mold which has the same surface area as the single crystal substrate 11, or a p++ mold was prepared (drawing 2 (c)). Subsequently, the 1st single crystal silicon substrate 11 and 2nd single crystal silicon substrate 13a were washed by SC1 penetrant remover, respectively. Subsequently, 2nd single crystal silicon substrate 13a was piled up and stuck to the 1st single crystal silicon substrate 11 through the oxide film 12 (drawing 2 (d)). Subsequently, heat treatment was performed for 30 minutes at the temperature of 600 degrees C in nitrogen-gas-atmosphere mind, sticking the 1st single crystal substrate 11 to 2nd single crystal silicon substrate 13a. Consequently, it was divided in the place whose 1st single crystal substrate 11 is ion-implantation field 11a, and separated into upside heavy-gage part 11c and semi-conductor layer 11b with the thin lower part (drawing 2 (e)). Next, temperature was lowered, heavy-gage part 11c was removed (drawing 2 (f)), and 2nd single crystal silicon substrate 13a by which the laminating of an oxide film 12 and the semi-conductor layer 11b was carried out one by one to the front face was heat-treated at 1100 degrees C in nitrogen-gas-atmosphere mind for 2 hours (drawing 2 (g)). Finally the separation side of semi-conductor layer 11b was ground and graduated, and the SOI substrate of an example 2 was manufactured (drawing 2 (h)).

[0012] As shown in <example 3> drawing 3 (a) - drawing 3 (b), the same process as an example 1 was repeated and ion-implantation field 11a was formed in the interior of the 1st single crystal silicon substrate 11 of p mold which has the oxide film 12 with a thickness of 400nm on a front face. Subsequently, 2nd single crystal silicon substrate 13a of p+ mold which has the same surface area as the single crystal substrate 11, or a p++ mold was

prepared, and polish recon layer 14a of p-mold with a thickness of 500nm was formed in the front face of this 2nd single crystal silicon substrate 13a with the CVD method (drawing 3 (c)). Subsequently, mirror polishing of the p-mold polish recon layer 14a was carried out, and it carried out flattening. Subsequently, the 1st single crystal silicon substrate 11 and 2nd single crystal silicon substrate 13a were washed by SC1 penetrant remover, respectively. Subsequently, 2nd single crystal silicon substrate 13a was piled up and stuck to the 1st single crystal substrate 11 so that polish recon layer 14a might stick to an oxide film 12 (drawing 3 (d)). Subsequently, heat treatment was performed for 30 minutes at the temperature of 600 degrees C in nitrogen-gas-atmosphere mind, sticking the 1st single crystal substrate 11 to 2nd single crystal silicon substrate 13a. Consequently, it was divided in the place whose 1st single crystal substrate 11 is ion-implantation field 11a, and separated into upside heavy-gage part 11c and semi-conductor layer 11b with the thin lower part (drawing 3 (e)). Next, temperature was lowered, heavy-gage part 11c was removed (drawing 3 (f)), and 2nd single crystal silicon substrate 13a by which the laminating of an oxide film 12 and the semi-conductor layer 11b was carried out one by one to the front face was heat-treated at 1100 degrees C in nitrogen-gas-atmosphere mind for 2 hours (drawing 3 (g)). Finally the separation side of semi-conductor layer 11b was ground and graduated, and the SOI substrate of an example 3 was manufactured (drawing 3 (h)).

[0013] If it removed having not formed the polish recon layer 14 of p mold in the front face of p mold polycrystal substrate 13 used as the <example 1 of comparison> support substrate, the approach of an example 1 was repeated substantially and the SOI substrate of the example 1 of a comparison was manufactured.

[0014] In each SOI substrate of the <comparative-evaluation> example 1, an example 2, an example 3, and the example 1 of a comparison, after polluting the substrate front face compulsorily with the spin coat method using the 1000 ppm copper standard solution and performing 900 degrees C and heat treatment of 1 hour in nitrogen-gas-atmosphere mind, the copper concentration (atoms/cm³) in semi-conductor layer 11b was investigated with the atomic absorption method. The result is shown in drawing 4 .

[0015] The copper concentration in semi-conductor layer 11b of examples 1-3 (atoms/cm³) is low compared with the example 1 of a comparison so that clearly from drawing 4 . Since this has the gettering capacity for the SOI substrate of examples 1-3 to be big, it shows that semi-conductor layer 11b is hard to be polluted with a heavy-metal impurity compared with the SOI substrate of the example 1 of a comparison.

[Translation done.]

* NOTICES *

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] Drawing showing the manufacture approach of the 1st SOI substrate of the operation gestalt of this invention in order of a process.

[Drawing 2] Drawing showing the manufacture approach of the 2nd SOI substrate of the operation gestalt of this invention in order of a process.

[Drawing 3] Drawing showing the manufacture approach of the 3rd SOI substrate of the operation gestalt of this invention in order of a process.

[Drawing 4] Drawing showing the copper concentration in semi-conductor layer 11b in the SOI substrate of examples 1-3 and the example 1 of a comparison.

[Description of Notations]

11 P Mold Single Crystal Silicon Substrate

11a Ion-implantation field

11b Semi-conductor layer

11c Heavy-gage part 11c

12 Oxide Film

13 P Mold Polycrystal Silicon Substrate

13a The 2nd single crystal silicon substrate of p+ mold or a p++ mold

14 Polish Recon Layer of P Mold

14a The polish recon layer of p-mold

[Translation done.]

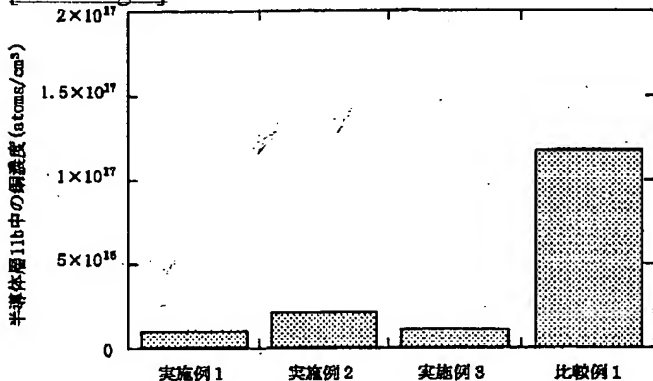
* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

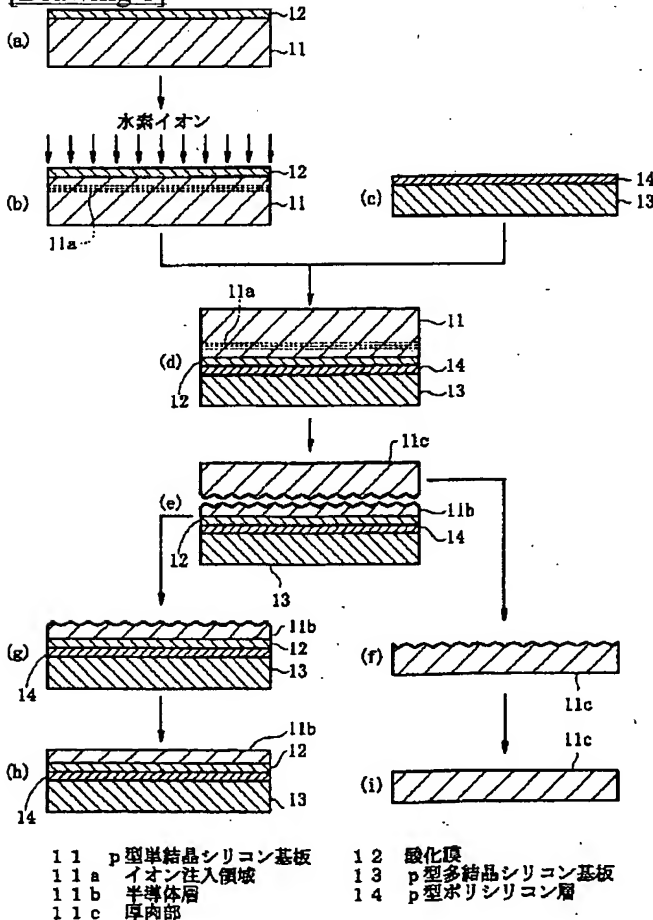
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DRAWINGS

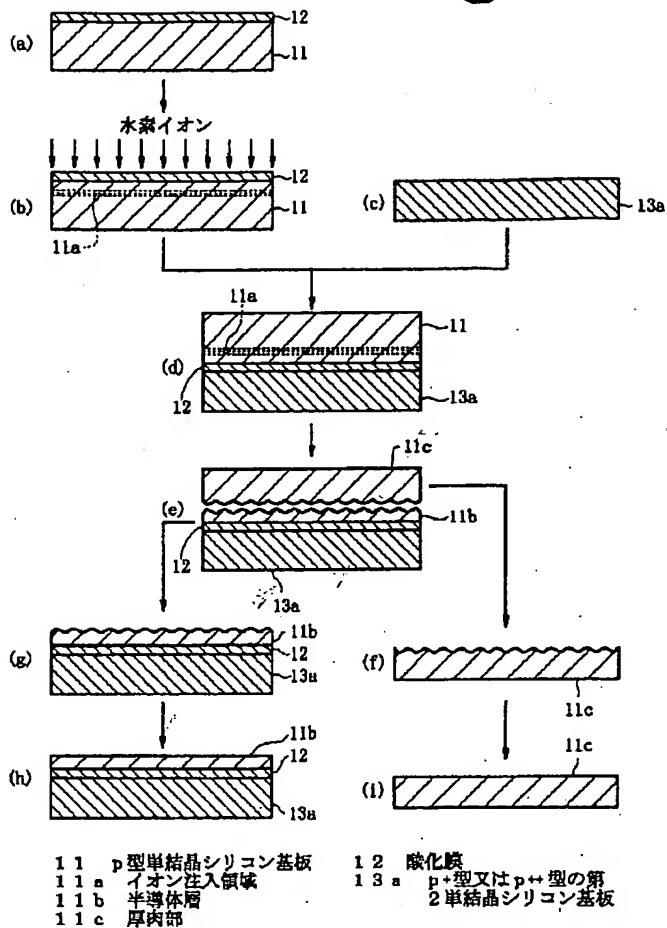
[Drawing 4]



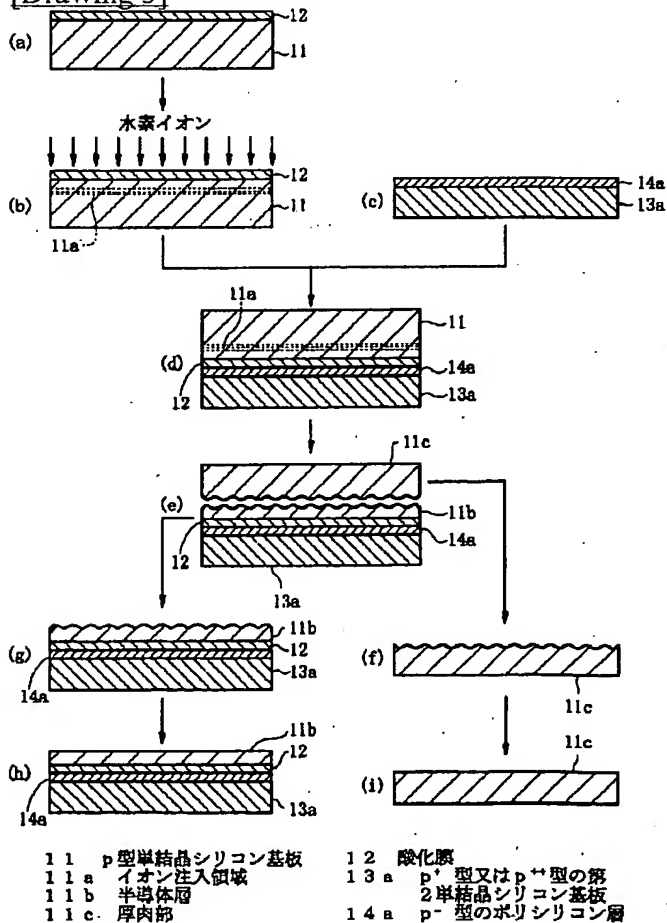
[Drawing 1]



[Drawing 2]



[Drawing 3]



[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-307470

(43) 公開日 平成11年(1999)11月5日

(51) Int.Cl.⁶

識別記号

F I

H 0 1 L 21/265

H 0 1 L 21/265

Q

21/322

21/322

P

21/762

27/12

G

27/12

21/76

B

D

審査請求 未請求 請求項の数 3 O L (全 8 頁)

(21) 出願番号

特願平10-111595

(22) 出願日

平成10年(1998)4月22日

(71) 出願人 000228925

三菱マテリアルシリコン株式会社

東京都千代田区大手町一丁目5番1号

(72) 発明者 中嶋 健

東京都千代田区大手町1丁目5番1号 三

菱マテリアルシリコン株式会社内

(72) 発明者 中井 哲弥

東京都千代田区大手町1丁目5番1号 三

菱マテリアルシリコン株式会社内

(72) 発明者 富澤 憲治

東京都千代田区大手町1丁目5番1号 三

菱マテリアルシリコン株式会社内

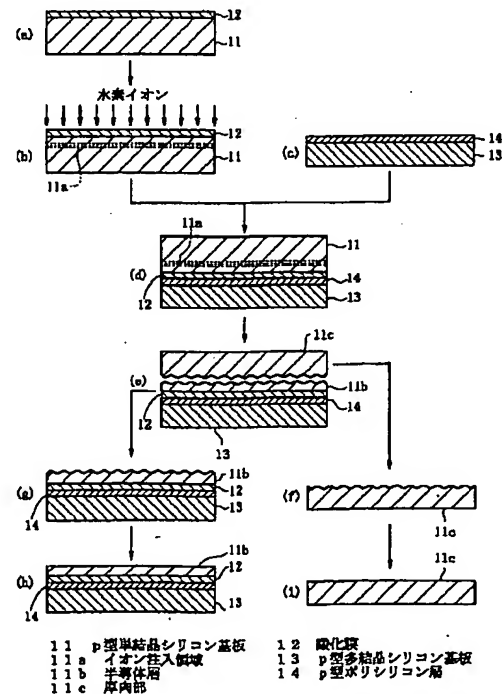
(74) 代理人 弁理士 須田 正義

(54) 【発明の名称】 SOI基板の製造方法

(57) 【要約】

【課題】 水素イオン注入技術を用いて作製される半導体層が酸化膜を介して半導体基板上に重ね合わされているSOI基板において、大きなゲッタリング能力を有し半導体層を重金属不純物で汚染させない。

【解決手段】 p型の単結晶シリコン基板11の表面に酸化膜12を形成する。単結晶基板11の表面から水素イオンを注入して単結晶基板11内部に水素イオン注入領域11aを形成する。支持基板となるp型多結晶シリコン基板13の片面にp型のポリシリコン層14を形成し研磨する。酸化膜12にこのポリシリコン層14が密着するように単結晶基板11に多結晶基板13を重ね合わせて密着させる。単結晶基板11を多結晶基板13に密着させたまま熱処理して単結晶基板11を注入領域11aで多結晶基板13から分離して多結晶基板13の表面にシリコン層11bを形成する。この多結晶基板13を更に熱処理する。



【特許請求の範囲】

【請求項 1】 p 型の単結晶シリコン基板(11)の表面に酸化膜(12)を形成する工程と、

前記単結晶シリコン基板(11)の表面から水素イオンを注入して前記単結晶シリコン基板(11)内部に水素イオン注入領域(11a)を形成する工程と、

支持基板となる p 型の多結晶シリコン基板(13)の片面に p 型のポリシリコン層(14)を形成する工程と、

前記 p 型のポリシリコン層(14)を鏡面研磨する工程と、

前記酸化膜(12)に鏡面研磨した前記 p 型のポリシリコン層(14)が密着するように前記単結晶シリコン基板(11)に前記多結晶シリコン基板(13)を重ね合わせて密着させる工程と、

前記単結晶シリコン基板(11)を多結晶シリコン基板(13)に密着させたまま所定の温度で熱処理して前記単結晶シリコン基板(11)を前記水素イオン注入領域(11a)で前記多結晶シリコン基板(13)から分離して前記多結晶シリコン基板(13)の表面にシリコン層(11b)を形成する工程と、

表面にシリコン層(11b)を有する前記多結晶シリコン基板(13)を更に熱処理する工程とを含む SOI 基板の製造方法。

【請求項 2】 p 型の第 1 単結晶シリコン基板(11)の表面に酸化膜(12)を形成する工程と、

前記第 1 単結晶シリコン基板(11)の表面から水素イオンを注入して前記第 1 単結晶シリコン基板(11)内部に水素イオン注入領域(11a)を形成する工程と、

前記第 1 単結晶シリコン基板(11)に前記酸化膜(12)を介して支持基板となる p⁺ 型又は p⁺⁺ 型の第 2 単結晶シリコン基板(13a)を重ね合わせて密着させる工程と、

前記第 1 単結晶シリコン基板(11)を第 2 単結晶シリコン基板(13a)に密着させたまま所定の温度で熱処理して前記第 1 単結晶シリコン基板(11)を前記水素イオン注入領域(11a)で前記第 2 単結晶シリコン基板(13a)から分離して前記第 2 単結晶シリコン基板(13a)の表面にシリコン層(11b)を形成する工程と、

表面にシリコン層(11b)を有する前記第 2 単結晶シリコン基板(13a)を更に熱処理する工程とを含む SOI 基板の製造方法。

【請求項 3】 p 型の第 1 単結晶シリコン基板(11)の表面に酸化膜(12)を形成する工程と、

前記第 1 単結晶シリコン基板(11)の表面から水素イオンを注入して前記第 1 単結晶シリコン基板(11)内部に水素イオン注入領域(11a)を形成する工程と、

支持基板となる p⁺ 型又は p⁺⁺ 型の第 2 単結晶シリコン基板(13a)の片面に p⁺ 型のポリシリコン層(14a)を形成する工程と、

前記 p⁺ 型のポリシリコン層(14a)を鏡面研磨する工程と、

前記酸化膜(12)に鏡面研磨した前記 p⁺ 型のポリシリコ

ン層(14a)が密着するように前記第 1 単結晶シリコン基板(11)に前記第 2 単結晶シリコン基板(13a)を重ね合わせて密着させる工程と、

前記第 1 単結晶シリコン基板(11)を第 2 単結晶シリコン基板(13a)に密着させたまま所定の温度で熱処理して前記第 1 単結晶シリコン基板(11)を前記水素イオン注入領域(11a)で前記第 2 単結晶シリコン基板(13a)から分離して前記第 2 単結晶シリコン基板(13a)の表面にシリコン層(11b)を形成する工程と、

表面にシリコン層(11b)を有する前記第 2 単結晶シリコン基板(13a)を更に熱処理する工程とを含む SOI 基板の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、水素イオン注入技術を用いて作製される絶縁膜上に半導体層を設けた SOI (Silicon On Insulator) 基板の製造方法に関するものである。

【0002】

【従来の技術】この種の SOI 基板は将来の超高集積回路 (ULSI) 基板として注目されてきている。この SOI 基板の製造方法には、①シリコン基板同士を絶縁膜を介して貼り合わせる方法、②絶縁性基板又は絶縁性薄膜を表面に有する基板の上にシリコン薄膜を堆積させる方法、③シリコン基板の内部に高濃度の酸素イオンを注入した後、高温でアニール処理してこのシリコン基板表面から所定の深さの領域に埋込みシリコン酸化層を形成し、その表面側の Si 層を活性領域とする SIMOX 法などがある。また最近、半導体基板に水素イオン等の注入を行った後に、この半導体基板をイオン注入面を重ね合せ面として支持基板に重ね合せ、この積層体を 500℃を越える温度に昇温して上記半導体基板を上記水素イオン等を注入した領域で支持基板から分離し、支持基板の表面に半導体の薄膜を有する薄い半導体材料フィルムの製造方法が提案されている (特開平 5-211128)。

この方法では、イオンを半導体基板の内部に表面から均一に注入できれば、均一な厚さの薄い半導体層を有する半導体基板が得られる。また支持基板の表面に予め酸化膜を設けておけば、この方法により支持基板とこの基板上に形成されて埋込み酸化膜として作用する酸化膜とこの酸化膜上に形成された半導体層とを有する SOI 基板を製造することができる。

【0003】

【発明が解決しようとする課題】しかし、上記酸化膜上に形成された上記半導体層がデバイスプロセス中に重金属不純物により汚染された場合には、埋込み酸化膜がゲッターリング能力を有するゲッターリング層となって重金属不純物を捕捉した後で、熱処理の進行に伴って結晶化した酸化層が一旦捕捉した重金属不純物を上記半導体層中に放出し再分布を生じ易く、これに起因して半導体層の

汚染による品質劣化が生じる問題がある。本発明の目的は、水素イオン注入技術を用いて作製される半導体層が酸化膜を介して半導体基板上に重ね合わされているSOI基板において、大きなゲッタリング能力を有し半導体層を重金属不純物で汚染させないSOI基板の製造方法を提供することにある。

【0004】

【課題を解決するための手段】請求項1に係る発明は、図1に示すように、p型の単結晶シリコン基板11の表面に酸化膜12を形成する工程と、単結晶シリコン基板11の表面から水素イオンを注入して単結晶シリコン基板11内部に水素イオン注入領域11aを形成する工程と、支持基板となるp型の多結晶シリコン基板13の片面にp型のポリシリコン層14を形成する工程と、このp型のポリシリコン層14を鏡面研磨する工程と、酸化膜12に鏡面研磨したp型のポリシリコン層14が密着するように単結晶シリコン基板11に多結晶シリコン基板13を重ね合わせて密着させる工程と、単結晶シリコン基板11を多結晶シリコン基板13に密着させたまま所定の温度で熱処理して単結晶シリコン基板11を水素イオン注入領域11aで多結晶シリコン基板13から分離して多結晶シリコン基板13の表面にシリコン層11bを形成する工程と、表面にシリコン層11bを有する多結晶シリコン基板13を更に熱処理する工程とを含むSOI基板の製造方法である。図1に示すように、酸化膜12の下側にはこれに密着してp型のポリシリコン層14が形成されているため、シリコン層11bがデバイスプロセス中に重金属不純物により汚染されても、p型のポリシリコン層14とともに多結晶シリコン基板13全体がゲッタリング層として作用する。即ちシリコン層11b中の重金属不純物が酸化膜12を通過してp型のポリシリコン層14及びp型の多結晶シリコン基板13の双方の粒界に捕捉されるため、熱処理が進行してもシリコン層11bは重金属不純物で汚染されない。また粒界の大きな多結晶シリコン基板と酸化膜を直接密着した場合、接合強度が小さい場合があるが、本発明では、p型の多結晶シリコン基板13と酸化膜12との間には研磨により平坦化したp型のポリシリコン層14が形成されているため、多結晶シリコン基板13と酸化膜12との接合強度が増大する。なお、p型の多結晶シリコン基板13は、単結晶シリコンインゴットの有転位部をスライスした後、鏡面研磨したものを利用することで、低コストで作製することもできる。

【0005】請求項2に係る発明は、図2に示すように、p型の第1単結晶シリコン基板11の表面に酸化膜12を形成する工程と、第1単結晶シリコン基板11の表面から水素イオンを注入して第1単結晶シリコン基板11内部に水素イオン注入領域11aを形成する工程と、第1単結晶シリコン基板11に酸化膜12を介して支持基板となるp型又はp++型の第2単結晶シリコン

基板13aを重ね合わせて密着させる工程と、第1単結晶シリコン基板11を第2単結晶シリコン基板13aに密着させたまま所定の温度で熱処理して第1単結晶シリコン基板11を水素イオン注入領域11aで第2単結晶シリコン基板13aから分離して第2単結晶シリコン基板13aの表面にシリコン層11bを形成する工程と、表面にシリコン層11bを有する第2単結晶シリコン基板13aを更に熱処理する工程とを含むSOI基板の製造方法である。図2に示すように、酸化膜12の下側にはこれに密着してp型又はp++型の第2単結晶シリコン基板13aが形成されている。p型又はp++型単結晶シリコン基板はp型の単結晶シリコン基板に比べ、熱処理中にBMD (Bulk MicroDefect) を形成しやすく、このBMDは重金属不純物に対する捕獲能力が高い。またボロンは鉄等の重金属不純物と安定な鉄-ボロン対を形成することから、ボロン濃度の高いp型又はp++型単結晶シリコン基板は、この点からも重金属不純物に対する捕獲能力が高い。即ち、シリコン層11bがデバイスプロセス中に重金属不純物により汚染されても、支持基板となるp型又はp++型の第2単結晶シリコン基板13a全体がゲッタリング層として作用する。即ちシリコン層11b中の重金属不純物が酸化膜12を通過してp型又はp++型の第2単結晶シリコン基板13aに捕捉され、熱処理が進行してもシリコン層11bは重金属不純物で汚染されない。

【0006】請求項3に係る発明は、図3に示すように、p型の第1単結晶シリコン基板11の表面に酸化膜12を形成する工程と、第1単結晶シリコン基板11の表面から水素イオンを注入して第1単結晶シリコン基板11内部に水素イオン注入領域11aを形成する工程と、支持基板となるp型又はp++型の第2単結晶シリコン基板13aの片面にp型のポリシリコン層14aを形成する工程と、このp型ポリシリコン層14aを鏡面研磨する工程と、酸化膜12に鏡面研磨したp型のポリシリコン層14aが密着するように第1単結晶シリコン基板11に第2単結晶シリコン基板13aを重ね合わせて密着させる工程と、第1単結晶シリコン基板11を第2単結晶シリコン基板13aに密着させたまま所定の温度で熱処理して第1単結晶シリコン基板11を水素イオン注入領域11aで第2単結晶シリコン基板13aから分離して第2単結晶シリコン基板13aの表面にシリコン層11bを形成する工程と、表面にシリコン層11bを有する第2単結晶シリコン基板13aを更に熱処理する工程とを含むSOI基板の製造方法である。図3に示すように、酸化膜12の下側にはp型のポリシリコン層14aを介してp型又はp++型の第2単結晶シリコン基板13aが形成されているため、シリコン層11bがデバイスプロセス中に重金属不純物により汚染されても、p型のポリシリコン層14aとともにp型又はp++型の第2単結晶シリコン基板13aがゲッタリ

ング層として作用する。即ちシリコン層11b中の重金属不純物が酸化膜12及びp⁺型のポリシリコン層14a及びp⁺型又はp⁺型の第2単結晶シリコン基板13aの双方に捕捉され、熱処理が進行してもシリコン層11bは重金属不純物で汚染されない。またデバイスによっては、酸化膜12の直下にp⁺型又はp⁺型の第2単結晶シリコン基板13aがあることにより、シリコン層11bに形成された素子の動作時における空乏層の広がり10に影響を与え、電気特性に不具合を生じさせることが懸念されるが、酸化膜12とp⁺型又はp⁺型の第2単結晶シリコン基板13aとの間に成形したp⁺型のポリシリコン層14aの厚さをデバイス設計に合わせて変えることにより、シリコン層11bに形成された素子動作時における空乏層の広がりへの影響を抑制することができる。

【0007】

【発明の実施の形態】次に本発明の実施の形態を図面に基づいて説明する。図1に示すように、本発明の第1形態のSOI基板を製造するには、先ずp型の単結晶シリコン基板11を用意する。このp型単結晶基板11はドーパントとしてボロン(B)を使用することにより作製される。このp型単結晶基板11の表面に熱酸化により絶縁層である酸化膜12を形成する(図1(a))。この酸化膜12は0.1~2 μ m、好ましくは0.1~0.5 μ mの厚さになるように形成される。次いで、酸化膜12を有するp型単結晶基板11の表面から水素イオンを1~10 $\times 10^{16}$ /cm²のドーズ量及び50~200keVの加速エネルギーでイオン注入する。その結果、単結晶基板11内部にイオン注入領域11aが形成される(図1(b))。次いで上記単結晶基板11と同一表面積を有し、支持基板となるp型の多結晶シリコン基板13を用意し、このp型多結晶基板13の表面にCVD法によりp⁺型のポリシリコン層14を形成する(図1(c))。このp型ポリシリコン層14は0.5~3 μ m、好ましくは0.5~2 μ mの厚さになるように形成される。次いでp型ポリシリコン層14を鏡面研磨して平坦化する。次いで単結晶基板11とp型多結晶基板13をそれぞれ洗浄した後、酸化膜12にポリシリコン層14が密着するように単結晶基板11に多結晶基板13を重ね合わせて密着させる(図1(d))。単結晶基板11を多結晶基板13に密着させたまま酸素雰囲気中で500~800℃の範囲に昇温し、5~30分保持して薄膜分離熱処理を行う。これにより単結晶基板11が水素イオンの注入ピーク位置に相当するイオン注入領域11aのところで割れて上部の厚肉部11cと下部の薄い半導体層11bに分離する(図1(e))。次に温度を下げて厚肉部11cを取除き(図1(f))、表面にポリシリコン層14、酸化膜12及び半導体層11bが順次積層された多結晶基板13を酸素又は酸素雰囲気中において900~1200℃で30~120分間熱処

理して半導体層11bと多結晶基板13とをポリシリコン層14及び酸化膜12を介して強固に貼り合わせる

(図1(g))。更に半導体層11bの分離面及び厚肉部11cの分離面をそれぞれ研磨(タッチポリッシング)して平滑化する(図1(h)及び図1(i))。これにより多結晶基板13はSOI基板となり、厚肉部11cは新たな半導体基板として再びSOI基板の製造に利用できる。

【0008】図2に示すように、本発明の第2形態のSOI基板を製造するには、図1に基づく第1形態の場合と同じ工程を繰返して、p型の第1単結晶シリコン基板11の表面に酸化膜12を形成する(図2(a))。次いで、第1形態の場合と同様に酸化膜12を有する第1単結晶基板11の表面から水素イオン注入して、基板11内部にイオン注入領域11aを形成する(図2(b))。次いで第1単結晶基板11と同一表面積を有し、支持基板となるp⁺型又はp⁺型の第2単結晶シリコン基板13aを用意する(図2(c))。p⁺型又はp⁺型の第2単結晶シリコン基板13aはp型単結晶基板11よりもドーパントであるボロンの濃度を濃くして形成される。次いで第1単結晶基板11と第2単結晶基板13aをそれぞれ洗浄した後、第1単結晶シリコン基板11に酸化膜12を介して第2単結晶シリコン基板13aを重ね合わせて密着させる(図2(d))。次いで第1単結晶基板11を第2単結晶基板13aに密着させたまま第1形態と同様の薄膜分離熱処理を行う。これにより第1単結晶基板11がイオン注入領域11aのところで割れて上部の厚肉部11cと下部の薄い半導体層11bに分離する(図2(e))。次に温度を下げて厚肉部11cを取除き(図2(f))、表面に酸化膜12及び半導体層11bが順次積層された第2単結晶基板13aを第1形態の場合と同様に熱処理して半導体層11bと第2単結晶基板13aとを酸化膜12を介して強固に貼り合わせる(図2(g))。最後に半導体層11bの分離面及び厚肉部11cの分離面をそれぞれ研磨して平滑化する(図2(h)及び図2(i))。これにより表面に酸化膜12及び半導体層11bが順次積層された第2単結晶基板13aからなるSOI基板を得る(図2(h))。

【0009】図3に示すように、本発明の第3形態のSOI基板を製造するには、図1に基づく第1形態の場合と同じ工程を繰返して、p型の第1単結晶シリコン基板11の表面に酸化膜12を形成する(図3(a))。次いで、第1形態の場合と同様に酸化膜12を有する第1単結晶基板11の表面から水素イオン注入して、基板11内部にイオン注入領域11aを形成する(図3(b))。次いで第1単結晶基板11と同一表面積を有し、支持基板となるp⁺型又はp⁺型の第2単結晶シリコン基板13aを用意し、この第2単結晶基板13aの表面にCVD法によりp⁺型のポリシリコン層14aを

形成する(図3(c))。p型ポリシリコン層14aは、p型又はp⁺型の第2単結晶シリコン基板13aよりもドーパントであるボロンの濃度を低くして形成される。好ましくは、第1単結晶基板11と同等のボロン濃度とする。次いで、p型ポリシリコン層14aを鏡面研磨し平坦化する。次いで第1単結晶基板と第2単結晶基板をそれぞれ洗浄した後、酸化膜12にp型のポリシリコン層14aが密着するように第1単結晶基板11に第2単結晶基板13aを重ね合わせて密着させる(図3(d))。次いで第1単結晶基板11を第2単結晶基板13aに密着させたまま第1形態と同様の薄膜分離熱処理を行う。これにより第1単結晶基板11がイオン注入領域11aのところで割れて上部の厚肉部11cと下部の薄い半導体層11bに分離する(図3(e))。次に温度を下げて厚肉部11cを取除き(図3(f))、表面にp型ポリシリコン層14a、酸化膜12及び半導体層11bが順次積層された第2単結晶基板13aを第1形態の場合と同様に熱処理して半導体層11bと第2単結晶基板13aとを酸化膜12及びp型ポリシリコン層14aを介して強固に貼り合わせる(図3(g))。最後に半導体層11bの分離面及び厚肉部11cの分離面をそれぞれ研磨して平滑化する(図3(h)及び図3(i))。これにより表面にp型ポリシリコン層14a、酸化膜12及び半導体層11bが順次積層された第2単結晶基板13aからなるSOI基板を得る(図3(h))。

【0010】

【実施例】次に本発明の具体的な態様を示すために、本発明の実施例を比較例とともに説明する。

＜実施例1＞図1(a)に示すように、p型単結晶シリコン基板11の表面に熱酸化により厚さ400nmの酸化膜12を形成した。次いで単結晶シリコン基板11に70keVの電圧を印加して水素イオンを $7 \times 10^{16} / \text{cm}^2$ のドーズ量でイオン注入して単結晶基板11内部にイオン注入領域11aを形成した(図1(b))。次いで単結晶基板11と同一表面積を有するp型の多結晶シリコン基板13を用意し、このp型多結晶基板13の表面にCVD法により厚さ500nmのp型のポリシリコン層14を形成した(図1(c))。次いでp型ポリシリコン層14を鏡面研磨し平坦化した。次いで、単結晶基板11とp型多結晶基板13aをSC1洗浄液でそれぞれ洗浄した。次いで酸化膜12にポリシリコン層14が密着するように単結晶基板11に多結晶基板13を重ね合わせて密着させた(図1(d))。次いで単結晶基板11を多結晶基板13に密着させたまま窒素雰囲気中で600℃の温度で30分間熱処理を行った。その結果、単結晶基板11がイオン注入領域11aのところで割れて上部の厚肉部11cと下部の薄い半導体層11bに分離した(図1(e))。次に温度を下げて厚肉部11cを取除き(図1(f))、表面にポリシリコン層1

4、酸化膜12及び半導体層11bが順次積層された多結晶基板13を窒素雰囲気中において1100℃で2時間熱処理した(図1(g))。最後に半導体層11bの分離面を研磨して平滑化して実施例1のSOI基板を製造した(図1(h))。

【0011】＜実施例2＞図2(a)～図2(b)に示すように、実施例1と同じ工程を繰返して、表面に厚さ400nmの酸化膜12を有するp型の第1単結晶シリコン基板11の内部にイオン注入領域11aを形成した。次いで単結晶基板11と同一表面積を有するp型又はp⁺型の第2単結晶シリコン基板13aを用意した(図2(c))。次いで第1単結晶シリコン基板11と第2単結晶シリコン基板13aをSC1洗浄液でそれぞれ洗浄した。次いで第1単結晶シリコン基板11に酸化膜12を介して第2単結晶シリコン基板13aを重ね合わせて密着させた(図2(d))。次いで第1単結晶基板11を第2単結晶シリコン基板13aに密着させたまま窒素雰囲気中で600℃の温度で30分間熱処理を行った。その結果、第1単結晶基板11がイオン注入領域11aのところで割れて上部の厚肉部11cと下部の薄い半導体層11bに分離した(図2(e))。次に温度を下げて厚肉部11cを取除き(図2(f))、表面に酸化膜12及び半導体層11bが順次積層された第2単結晶シリコン基板13aを窒素雰囲気中において1100℃で2時間熱処理した(図2(g))。最後に半導体層11bの分離面を研磨して平滑化して実施例2のSOI基板を製造した(図2(h))。

【0012】＜実施例3＞図3(a)～図3(b)に示すように、実施例1と同じ工程を繰返して、表面に厚さ400nmの酸化膜12を有するp型の第1単結晶シリコン基板11の内部にイオン注入領域11aを形成した。次いで単結晶基板11と同一表面積を有するp型又はp⁺型の第2単結晶シリコン基板13aを用意し、この第2単結晶シリコン基板13aの表面にCVD法により厚さ500nmのp型のポリシリコン層14aを形成した(図3(c))。次いでp型ポリシリコン層14aを鏡面研磨し平坦化した。次いで、第1単結晶シリコン基板11と第2単結晶シリコン基板13aをSC1洗浄液でそれぞれ洗浄した。次いで酸化膜12にポリシリコン層14aが密着するように第1単結晶基板11に第2単結晶シリコン基板13aを重ね合わせて密着させた(図3(d))。次いで第1単結晶基板11を第2単結晶シリコン基板13aに密着させたまま窒素雰囲気中で600℃の温度で30分間熱処理を行った。その結果、第1単結晶基板11がイオン注入領域11aのところで割れて上部の厚肉部11cと下部の薄い半導体層11bに分離した(図3(e))。次に温度を下げて厚肉部11cを取除き(図3(f))、表面に酸化膜12及び半導体層11bが順次積層された第2単結晶シリコン基板13aを窒素雰囲気中において1100℃で2時間

熱処理した(図3(g))。最後に半導体層11bの分離面を研磨して平滑化して実施例3のSOI基板を製造した(図3(h))。

【0013】<比較例1>支持基板となるp型多結晶基板13の表面にp型のポリシリコン層14を形成しなかったことを除いては実質的に実施例1の方法を繰返して比較例1のSOI基板を製造した。

【0014】<比較評価>実施例1、実施例2、実施例3及び比較例1のそれぞれのSOI基板において、1000ppmの銅標準液を用いてスピコート法によりその基板表面を強制的に汚染し、窒素雰囲気中で900℃、1時間の熱処理を行った後、半導体層11bにおける銅濃度(atoms/cm³)を原子吸光法により調べた。その結果を図4に示す。

【0015】図4から明らかなように実施例1～3の半導体層11b中の銅濃度(atoms/cm³)は比較例1に比べ低い。これは実施例1～3のSOI基板が大きなゲッタリング能力を有するため、比較例1のSOI基板に比べ半導体層11bが重金属不純物で汚染され難いことを示している。

【0016】

【発明の効果】以上述べたように、本発明によれば、水素イオン注入技術を用いて作製される半導体層が酸化膜を介して半導体基板上に重ね合わされているSOI基板において、半導体基板となるp型の多結晶シリコン基板の片面にp型のポリシリコン層を形成し、このポリシリコン層上に上記酸化膜を形成するか、又は半導体基板となるp⁺型又はp⁺⁺型の単結晶シリコン基板上に上記酸化膜を形成するか、又は半導体基板となるp⁺型又はp

⁺⁺型の単結晶シリコン基板の片面にp⁻型のポリシリコン層を形成し、このポリシリコン層上に上記酸化膜を形成するようにしたから、上記半導体層がデバイスプロセス中に重金属不純物により汚染されても、上記p⁻型のポリシリコン層又は上記p⁺型又はp⁺⁺型の単結晶シリコン基板がゲッタリング層として作用して上記半導体層中の重金属不純物を捕捉し、その結果、熱処理が進行しても上記シリコン層が重金属不純物で汚染されず、SOI基板の品質劣化を防止できる。

【図面の簡単な説明】

【図1】本発明の実施形態の第1のSOI基板の製造方法を工程順に示す図。

【図2】本発明の実施形態の第2のSOI基板の製造方法を工程順に示す図。

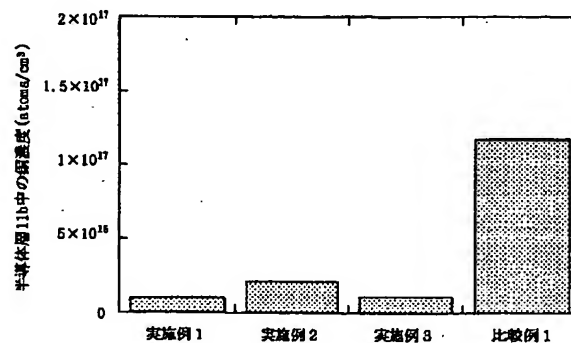
【図3】本発明の実施形態の第3のSOI基板の製造方法を工程順に示す図。

【図4】実施例1～3及び比較例1のSOI基板において、半導体層11b中の銅濃度を示す図。

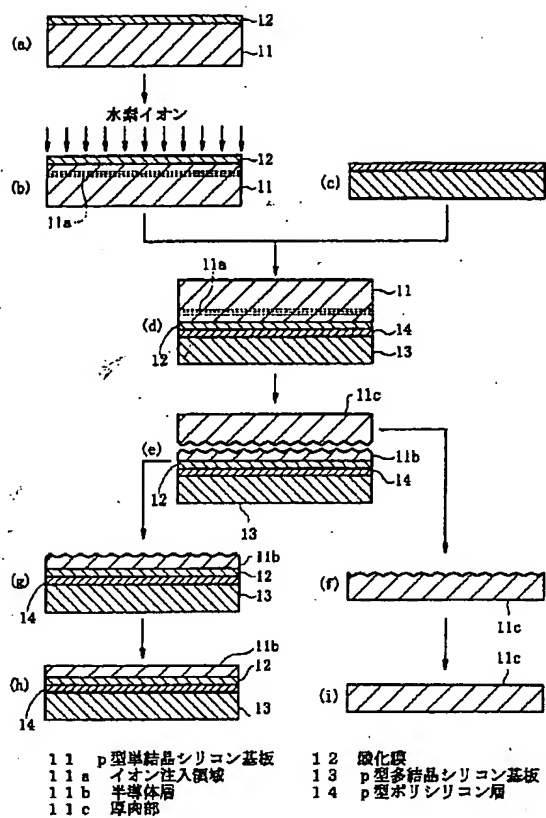
【符号の説明】

- 11 p型単結晶シリコン基板
- 11a イオン注入領域
- 11b 半導体層
- 11c 厚肉部11c
- 12 酸化膜
- 13 p型多結晶シリコン基板
- 13a p⁺型又はp⁺⁺型の第2単結晶シリコン基板
- 14 p型のポリシリコン層
- 14a p⁻型のポリシリコン層

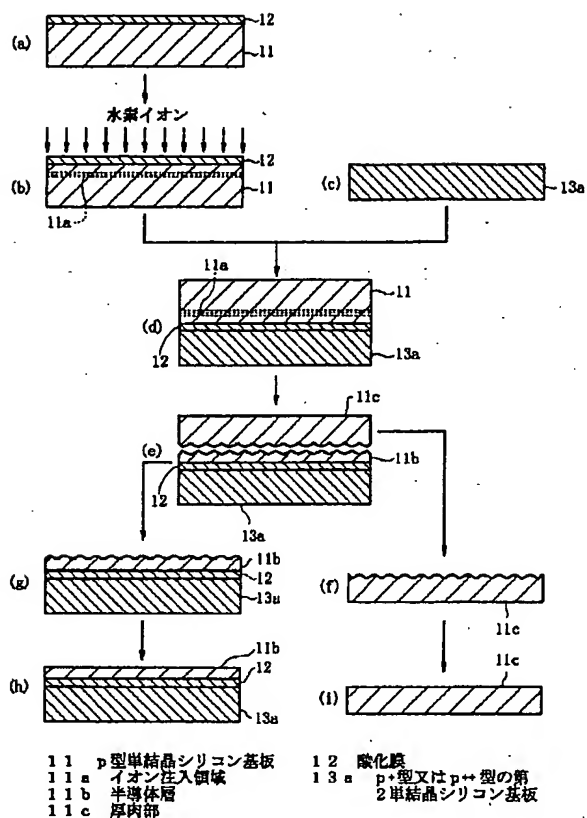
【図4】



【図1】



【図2】



【図3】

